

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-020147

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

G05F 1/56
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 10-195150

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 26.06.1998

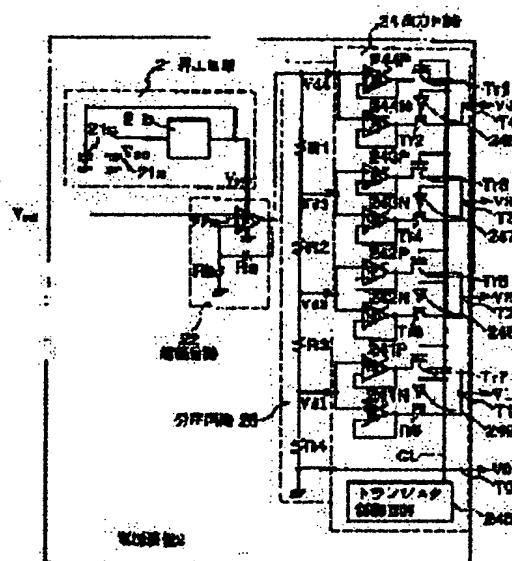
(72)Inventor : WATANABE KATSUMI

(54) POWER SOURCE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To generate a stable voltage of an accurate value with a low power consumption.

SOLUTION: Divided voltages V_{d1} to V_{d4} generated by a voltage division circuit 23 are amplified by corresponding pairs of P-type driven operational amplifiers 241P to 244P and N-type driven operational amplifiers 241N to 244N. Output ends of respective pairs of operational amplifiers 241P to 244P and 241N to 244N are connected to common output terminals T1 to T4 through corresponding transistors Tr1 to Tr8. A transistor control circuit 245 alternately turns on/off two of transistors Tr1 to Tr8 which are connected to each of pairs of operational amplifiers 241P to 244P and 241N to 244N, and then, output voltages of P-type driven operational amplifiers 241P to 244P and those of N-type driven operational amplifiers 241N to 244N are alternately selected and are outputted from terminals T1 to T4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-20147

(P2000-20147A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 Q 2 H 0 9 3
			3 1 0 X 5 C 0 0 6
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 8 0
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 A 5 H 4 3 0
3/36		3/36	
審査請求 未請求 請求項の数 6 F D (全 9 頁)			

(21) 出願番号 特願平10-195150

(22) 出願日 平成10年6月26日 (1998.6.26)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 渡辺 克己

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

Fターム (参考) 2H093 NC03 NC16 ND39 ND49

5C006 BB11 BC13 BF14 BF25 BF27

BF32 BF37 BF43 BF46 FA47

5C080 AA10 BB05 DD26 EE29 FF03

FF09 JJ02 JJ03

5H430 BB01 BB09 BB11 CC06 EE06

EE09 EE13 FF04 FF12 GG05

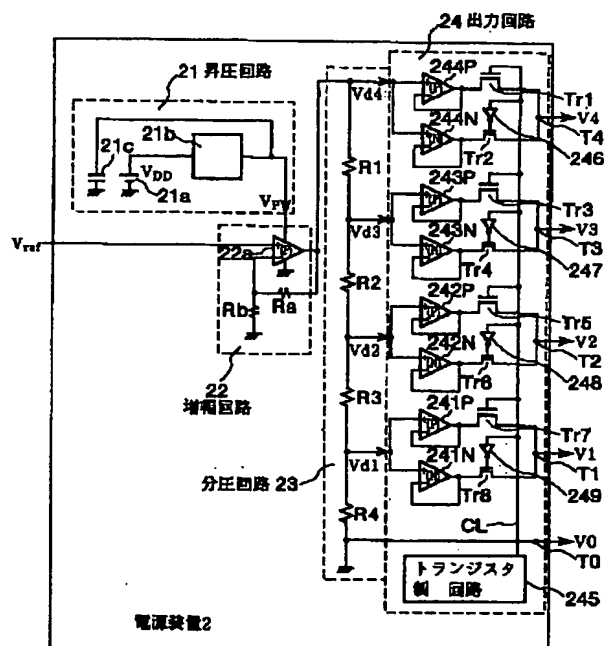
HH03 LA22

(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 正確な値の安定した電圧を低消費電力で生成する。

【解決手段】 分圧回路23が生成する分圧電圧 V_{d1} ～ V_{d4} のそれぞれを、P型駆動のオペアンプ241P～244PとN型駆動のオペアンプ241N～244Nとの対応する対で増幅する。オペアンプ241P～244P、241N～244Nの各対の出力端は、対応するトランジスタ $Tr1$ ～ $Tr8$ を介して共通の出力端子 $T1$ ～ $T4$ に接続されている。トランジスタ制御回路245は、オペアンプ241P～244P、241N～244Nとの各対に接続された2つのトランジスタ $Tr1$ ～ $Tr8$ を交互にオン・オフして、P型駆動のオペアンプ241P～244Pの出力電圧とN型駆動のオペアンプ241N～244Nの出力電圧とを交互に選択して端子 $T1$ ～ $T4$ から出力する。



【特許請求の範囲】

【請求項 1】供給された電圧から複数の電圧を発生する電圧発生手段と、

Nチャネル電界効果トランジスタから構成され、前記電圧発生手段から発生された電圧を増幅する第 1 の増幅素子と前記第 1 の増幅素子と電流路が直列に接続された第 1 のスイッチとから構成される第 1 の増幅回路と、Pチャネル電界効果トランジスタから構成され、前記電圧発生手段から発生された電圧を増幅する第 2 の増幅素子と前記第 2 の増幅素子と電流路が直列に接続された第 2 のスイッチとから構成される第 2 の増幅回路とが、前記電圧発生手段と出力端との間に並列に接続されてなる増幅手段と、

前記第 1 のスイッチと前記第 2 のスイッチとを交互にオンまたはオフすることにより、前記第 1 の増幅回路と前記第 2 の増幅回路との出力電圧を交互に切り替えて出力するスイッチ制御回路と、

を備えた、ことを特徴とする電源装置。

【請求項 2】前記スイッチ制御回路は、前記第 1 のスイッチと前記第 2 のスイッチの両方をオフさせた後に、前記第 1 のスイッチと前記第 2 のスイッチのオンまたはオフを切り替える制御手段を備えていることを特徴とする請求項 1 に記載の電源装置。

【請求項 3】前記電圧発生手段は、直列接続された複数の抵抗と、前記複数の抵抗の接続点から導出された出力端とを備えた抵抗型分圧回路からなることを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 4】前記電圧発生手段は、複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記複数の容量素子の接続状態を順次切り替えることにより前記複数の容量素子に異なる電圧に充電させる容量素子型分圧回路からなることを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 5】前記電圧発生手段は、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記容量素子に所定の電荷を順次分配して蓄積させる手段とからなる容量分配型の昇圧回路であることを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 6】前記分圧回路は供給された電圧を複数の分圧電圧に分圧して出力し、前記増幅手段は前記分圧回路により分圧された複数の分圧電圧に対応して複数配されている、ことを特徴とする請求項 3 または 4 に記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示素子の電源装置に関し、特に、表示素子を駆動するための駆動電圧として正確な値の電圧を低消費電力で生成する表示素子の電源装置に関する。

【0002】

【従来の技術】液晶表示装置の電源装置は、例えば 4 つの駆動電圧を生成する場合、図 5 に示すように、電源電圧 VDD を分圧抵抗 R1 ~ R4 により分圧し、インピーダンス変換回路によりインピーダンス変換し、駆動電圧 VA ~ VD として出力する。

【0003】インピーダンス変換回路を構成しているオペアンプには、図 6 (a) に示す P 型半導体トランジスタから構成される P 型駆動のオペアンプと、図 6 (b) に示す N 型半導体トランジスタから構成される N 型駆動のオペアンプとがある。

【0004】しかし、P 型、N 型駆動のオペアンプから構成されるインピーダンス変換回路の出力電圧は、それぞれ電源電圧、グランド電圧に偏倚した電圧を出力する傾向がある。このため、表示素子の駆動電圧として正確な値の電圧を得るためには、P 型、N 型駆動のオペアンプの差動増幅回路のグランド電圧側、または電源電圧側に流す電流を多めにしなくてはならず、消費電流が増大するという欠点があった。

【0005】また、電源電圧に偏倚した電圧を出力する P 型駆動のオペアンプとグランド電圧に偏倚した電圧を出力する N 型駆動のオペアンプとを一つの対にして出力端を共通に接続することにより、P 型駆動のオペアンプと N 型駆動のオペアンプそれぞれの出力電圧を平均化することにより、安定した正確な値の出力電圧を得ようとする方法が考えられている。この場合、P 型と N 型駆動のオペアンプの動作特性から、図 7 に示すように、一対の P 型駆動のオペアンプの入力端と N 型駆動のオペアンプの入力端間に微小抵抗 R1 ~ R4 を接続することにより、P 型駆動のオペアンプの入力電位を P 型駆動のオペアンプの入力電位より若干低くし、P 型駆動のオペアンプと N 型駆動のオペアンプそれぞれの動作の安定化が図られている。

【0006】

【発明が解決しようとする課題】しかし、図 7 に示す電源装置は、P 型駆動のオペアンプと N 型駆動のオペアンプそれぞれの入力端間に接続された微小抵抗 R1 ~ R4 により入力端に電位差が有るため、出力端の電圧にも電位差が生じ、P 型駆動のオペアンプまたは N 型駆動のオペアンプの動作に応じて出力電圧にリップルが発生する。また、一対の P 型駆動のオペアンプと N 型駆動のオペアンプの動作特性のバラツキによりそれぞれの出力電圧のうち、P 型のオペアンプの出力電圧の方が N 型駆動のオペアンプの出力電圧より高くなってしまいうという電圧逆転現象が発生し、直流電流が増加する。

【0007】したがって、従来の電源装置では、その電源装置自体の消費電力が大きく、所望の安定化された駆動電圧を低消費電力で出力することができないという問題があった。本発明は、上記実状に鑑みてなされたもので、表示素子を駆動するための駆動電圧を安定した正確

な値で、且つ、低消費電力で生成する電源装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため、この発明の電源装置は、供給された電圧から複数の電圧を発生する電圧発生手段と、Nチャネル電界効果トランジスタから構成され、前記電圧発生手段により与えられた電圧を増幅する第1の増幅素子と前記第1の増幅素子と電流路が直列に接続された第1のスイッチとから構成される第1の増幅回路と、Pチャネル電界効果トランジスタから構成され、前記電圧発生手段により発生された電圧を増幅する第2の増幅素子と前記第2の増幅素子と電流路が直列に接続された第2のスイッチとから構成される第2の増幅回路と、が、前記電圧発生手段と出力端との間に並列に接続されてなる増幅手段と、前記第1のスイッチと前記第2のスイッチとを交互にオンまたはオフすることにより、前記第1の増幅回路と前記第2の増幅回路との出力電圧を交互に切り替えて出力するスイッチ制御回路と、を備えた、ことを特徴とする。

【0009】この構成によれば、第1の増幅回路と第2の増幅回路は、電圧発生手段から供給される同一の電圧を増幅し、それぞれが増幅した電圧を交互に出力する。このため、第1の増幅回路と第2の増幅回路とが並列接続されてなる増幅手段の出力は、第1の増幅回路からの出力電圧と第2の増幅回路からの出力電圧とを平均化した電圧を出力する。従って、この電源装置は、従来の電源装置と比較して表示素子駆動用の電圧を安定した正確な値で生成することができる。この発明の電源装置において、前記スイッチ制御回路は前記第1のスイッチと前記第2のスイッチの両方をオフさせた後に、前記第1のスイッチと前記第2のスイッチのオンまたはオフを切り替える制御手段を備えるのが望ましい。この場合、第1の増幅回路と第2の増幅回路の出力端が同一のタイミングで接続されることがないため、図7に示す電源装置における電圧逆転現象が発生しない。従って、電源装置自体の消費電流を著しく低下させることができる。

【0010】この電源装置の電圧発生手段としては、直列接続された複数の抵抗と、前記複数の抵抗の接続点から導出された出力端とからなる抵抗分割型分圧回路、あるいは、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記複数の容量素子の接続状態を順次切り替えることにより前記複数の容量素子に異なる電圧に充電させる容量素子型分圧回路を適用することができる。また、前記電圧発生手段は、直列接続された複数の容量素子と、前記複数の容量素子の接続点から導出された出力端と、前記容量素子に所定の電荷を順次分配する手段とからなる容量分配型の昇圧回路にも適用することができる。特に、前記容量型の分圧回路あるいは昇圧回路を用いることにより、複数の電圧を発生させる回路部分に貫通電流が流れないの

で、消費電流を一層低下させることができる。さらに、前記分圧回路は供給された電圧を複数の分圧電圧に分圧して出力し、前記増幅手段は前記分圧回路により分圧された複数の分圧電圧に対応して複数配されている。

【0011】

【発明の実施の形態】以下、本発明の実施の形態に係る電源装置を4つの駆動電圧により駆動する液晶表示装置に適用した場合を例として図面を参照しつつ説明する。本発明の実施の形態に係る液晶表示装置は、図1に示すように、表示パネル1、電源装置2、行ドライバ3、列ドライバ4、制御装置5から構成される。液晶表示パネル1は、対向して配置された第1の基板と第2の基板と、第1の基板に行方向に配置された複数の走査電極11と、第2の基板に列方向に配置された複数の信号電極13と、両基板間に封止された液晶とを備え、走査電極11と信号電極13の交点で定義される複数の画素により画像を表示する。

【0012】電源装置2は、図2に示すように、昇圧回路21、増幅回路22、分圧回路23、出力回路24から構成され、液晶表示パネル1を駆動するための駆動電圧 V_4 、 V_3 、 V_2 、 V_1 ($V_4 > V_3 > V_2 > V_1$)と、接地電圧 V_0 ($V_1 > V_0$)を生成し、行ドライバ3及び列ドライバ4に供給する。

【0013】昇圧回路21は、電源電圧 V_{DD} を出力する電源21a、電源21aから出力された電源電圧 V_{DD} を昇圧して出力する昇圧部21b及び昇圧部21bから出力された電圧を平滑化する平滑用コンデンサ21cから構成され、平滑化された昇圧電圧 V_p を増幅回路22に供給する。

【0014】増幅回路22は、オペアンプ22aと抵抗 R_a 、 R_b から構成され、昇圧回路21から供給される昇圧電圧 V_p をオペアンプ22aの電源として、外部から供給される基準電圧 V_{ref} をほぼ $(R_a + R_b) / R_b$ 倍に増幅し、増幅した増幅電圧 V_{d4} を分圧回路23に供給する。

【0015】分圧回路23は、抵抗 $R_1 \sim R_4$ の直列回路から構成され、増幅回路22から供給された増幅電圧 V_{d4} を抵抗 $R_1 \sim R_4$ により分圧し、分圧電圧 $V_{d1} \sim V_{d4}$ を出力回路24に供給する。

【0016】出力回路24は、図2に示すように、P型駆動のオペアンプ241P \sim 244P、N型駆動のオペアンプ241N \sim 244N、トランジスタ $T_{r1} \sim T_{r8}$ 、トランジスタ制御回路245及びインバータ246 \sim 249から構成される。

【0017】P型駆動のオペアンプ241P \sim 244Pは、分圧回路23から供給される分圧電圧 $V_{d1} \sim V_{d4}$ のうち、対応する分圧電圧 $V_{d1} \sim V_{d4}$ を約1倍に増幅して出力する。また、P型駆動のオペアンプ241P \sim 244Pに一对一に対応してN型駆動のオペアンプ

241N~244Nが配置されている。N型駆動のオペアンプ241N~244Nは、分圧回路23から供給される分圧電圧Vd1~Vd4のうち、対応する分圧電圧Vd1~Vd4を約1倍に増幅して出力する。

【0018】トランジスタ制御回路245は、高周波数（例えば100KHz）のクロック信号をクロックラインCLに印加する。トランジスタTr1~Tr8は、例えば、nチャネル電界効果トランジスタから構成されている。トランジスタTr1~Tr8のうち、トランジスタTr1, Tr3, Tr5, Tr7は、電流路の一端（ドレイン）が対応するオペアンプ241P~244Pの出力端に接続され、他端（ソース）が対応する端子T1~T4に接続され、そのゲートがクロックラインCLに接続されている。一方、トランジスタTr2, Tr4, Tr6, Tr8は、電流路の一端（ドレイン）が対応するオペアンプ241N~244Nの出力端に接続され、他端（ソース）が対応する端子T1~T4に接続され、そのゲートがインバータ246~249の出力端に接続されている。

【0019】インバータ246~249は、その入力端がクロックラインCLに接続され、クロックラインを介してトランジスタ制御回路245から供給されるクロック信号のレベルを反転してトランジスタTr2, Tr4, Tr6, Tr8に供給する。

【0020】図1の行ドライバ3は、液晶表示パネル1の走査電極11に接続され、電源装置2から供給される複数の駆動電圧から走査電圧を生成し、制御装置5からのタイミング制御信号に従って選択した走査電極11に順次走査電圧を印加する。

【0021】列ドライバ4は、液晶表示パネル1の信号電極13に接続され、電源装置2から供給される複数の駆動電圧から信号電圧を生成し、制御装置5からのタイミング制御信号に従って信号電極13に信号電圧を印加する。

【0022】制御装置5は、行ドライバ3及び列ドライバ4の動作全体を制御する。例えば、行ドライバ3と列ドライバ4に走査電圧と信号電圧を出力するためのタイミング信号を供給する。

【0023】次に、このように構成された液晶表示装置の動作を説明する。図2の電源装置2の電源21aから出力された電源電圧VDDは、昇圧部21bにより昇圧され、且つ、平滑用コンデンサ21cにより平滑化され、昇圧電圧Vpとして増幅回路22に供給される。増幅回路22は、昇圧回路21から供給される昇圧電圧Vpをオペアンプ22aの電源として、外部から供給される基準電圧Vrefを $(Ra + Rb) / Ra$ 倍に増幅し、増幅電圧Vd4として分圧回路23に供給する。分圧回路23は、増幅回路22から供給された増幅電圧Vd4を抵抗R1~R4により分圧し、分圧電圧Vd1~Vd4として出力回路24に供給する。

【0024】図2の出力回路24のトランジスタ制御回路245は、高周波数（例えば、100KHz）のクロック信号をクロックラインCLに印加し、トランジスタTr1~Tr8のオン・オフを制御する。これにより、一対のP型駆動のオペアンプ241P~244Pの出力電圧とN型駆動のオペアンプ241N~244Nの出力電圧とを交互に端子T1~T4から出力する。

【0025】例えば、分圧電圧Vd3を増幅する一対のP型駆動のオペアンプ243PとN型駆動のオペアンプ243Nは、それぞれ、クロック信号により交互にオンされるトランジスタTr3とTr4を介して交互に端子T3から電圧を出力する。

【0026】前述したように、P型駆動のオペアンプ243Pの出力電圧は電源電圧側に偏倚して高くなる傾向があり、N型駆動のオペアンプ243Nはグランド電圧側に偏倚して低くなる傾向がある。しかし、一対のP型駆動のオペアンプ243PとN型駆動のオペアンプ243Nは、高周波数のクロック信号により高速、且つ、交互にオンされるトランジスタTr3とTr4を介して端子T3から高速、且つ、交互に電圧を出力する。このため、P型駆動のオペアンプ243Pの出力電圧とN型駆動のオペアンプ243Nの出力電圧とが平均化された電圧が駆動電圧V3として端子T3から出力される。

【0027】行ドライバ3は、制御装置5から供給されたタイミング信号に従って、接地電圧V0と駆動電圧V1~V4の中から適切な走査電圧を選択し、選択状態の走査電極11にあらかじめ定められた波形の選択信号を、非選択状態の走査電極11にあらかじめ定められた波形の非選択信号を、それぞれ印加する。

【0028】列ドライバ4は、供給された画像信号に従って、接地電圧V0と駆動電圧V1~V4の中から適切な信号電圧を選択し、制御装置5からのタイミング信号に従って選択した信号電圧を各信号電極13に印加する。

【0029】このようにして、液晶表示パネル1の選択状態の走査電極11と信号電極13との交点で定義される画素に画像信号に従った画像を表示する。

【0030】上述したように、この発明の電源装置は、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な電圧値を出力する。

【0031】また、この発明の電源装置によれば、トランジスタTr1, Tr3, Tr5, Tr7とTr2, Tr4, Tr6, Tr8とを交互に切り替えているので、並列的に接続された一対のP型駆動のオペアンプとN型駆動のオペアンプの間で、電圧逆転現象が生じることが

10

20

30

40

50

なく消費電力を抑えることができる。

【0032】さらに、この電源装置によれば、図7に示す電源装置の微小抵抗がないため、図7の電源装置と比較して、リップルの少ない安定した駆動電圧を得ることができる。このため、走査電極11および信号電極13により降下した駆動電圧に対するリップルの割合が従来の電源装置と比較して小さいため、比較的大きな表示素子を駆動することが可能である。

【0033】なお、この発明は、上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、この実施の形態では、一對のN型オペアンプとP型オペアンプを4つ用いて4つの駆動電圧を得た。しかし、一對のN型オペアンプとP型オペアンプの数を必要とする駆動電圧の数だけ用いることにより、必要な数の駆動電圧を得ることができる。

【0034】また、上記説明では、トランジスタ制御回路245から出力されるクロック信号の周波数は100KHzであった。しかし、一對のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化された電圧が安定して出力回路24から出力されるならば、クロック信号の周波数は100KHzに限定されず任意に変更可能である。

【0035】また、上記説明では、トランジスタTr1～Tr8はnチャネル電界効果トランジスタから構成されていた。しかし、トランジスタTr1～Tr8の構成は、一對のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化された電圧が安定して出力回路24から出力されるのであれば、任意に変更可能である。例えば、トランジスタTr1～Tr8は、Pチャネル電界効果トランジスタから構成されてもよく、リレースイッチでもよい。

【0036】なお、図2の出力回路24のP型駆動オペアンプ244PとN型駆動オペアンプ244N及びトランジスタTr1とTr2から構成される回路は、分圧回路23から供給される分圧電圧Vd4が十分安定しているならば、設けなくてもよい。

【0037】P型駆動のオペアンプ241P～244Pに接続されたトランジスタTr1、Tr3、Tr5、Tr7とN型駆動のオペアンプ241N～244Nに接続されたトランジスタTr2、Tr4、Tr6、Tr8とは、一旦全てをオフさせた後に、オンさせることが望ましい。即ち、トランジスタTr1、Tr3、Tr5、Tr7を完全にオフさせた後に、トランジスタTr2、Tr4、Tr6、Tr8をオンさせ、トランジスタTr2、Tr4、Tr6、Tr8を完全にオフさせた後に、トランジスタTr1、Tr3、Tr5、Tr7をオンさせる動作を繰り返すように制御することが望ましい。

【0038】このような動作にすれば、一對のP型駆動のオペアンプ241P～244Pの出力端とN型駆動のオペアンプ241N～244Nの出力端が端子T1～T

4に同一のタイミングで接続されることがないため、電圧逆転現象の発生をより確実に抑制することができる。従って、電源装置自体の消費電流をより低下させることができる。

【0039】この制御動作を実現するためには、例えば、2本のクロックラインを用い、一方のクロックライン（以降、クロックラインCL1）にトランジスタTr1、Tr3、Tr5、Tr7のゲートを接続し、他方のクロックライン（クロックラインCL2）にトランジスタTr2、Tr4、Tr6、Tr8のゲートを接続する。トランジスタ制御回路245は、例えば、クロックラインCL1にハイレベルのパルス（オン制御信号）を印加し、これを完全にオフしてから、クロックラインCL2にハイレベルのパルスを印加し、これを完全にオフしてから、クロックラインCL1にハイレベルのパルスを印加する。このような構成によれば、簡単な構成で、トランジスタTr1、Tr3、Tr5、Tr7のオンとトランジスタTr2、Tr4、Tr6、Tr8のオンの間に、全てのトランジスタをオフさせることができる。但し、このような構成に限定されず、任意の構成を採用可能である。

【0040】図2に示す電源装置2の分圧回路23は、抵抗R1～R4を貫通電流が常時流れてしまい、消費電力が大きい。貫通電流を低減するためには、コンデンサを用いる分圧回路が有効である。コンデンサを用いた分圧回路としては、コンデンサの直列回路から構成される分圧回路を使用することも可能であるが、例えば、図3に示す分圧回路63を採用してもよい。なお、図3において、電源装置の昇圧回路21、増幅回路22及び出力回路24は、図2に示す構成と実質的に同一の構成である。

【0041】図3に示す分圧回路63は、出力回路24に分圧電圧を出力するための電荷を蓄える電荷蓄積用コンデンサC1～C3と、増幅回路22から供給される増幅電圧Vd4により電荷が充電され、電荷蓄積用コンデンサC1～C3に充電する電荷を運搬する電荷運搬用コンデンサCC1と、電荷蓄積用コンデンサC1～C3と電荷運搬用コンデンサCC1の接続関係を切り替えるスイッチSW1～SW8と、スイッチSW1～SW8のオン・オフを制御する分圧用スイッチ制御回路631とを備える。

【0042】分圧用スイッチ制御回路631は、まず、スイッチSW1とSW2をオンし、SW3～SW8をオフして、電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC3とを直列に接続して、電圧Vd4で充電する。次に、スイッチSW7とSW8をオンし、SW1～SW6をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC1に並列に接続し、電荷蓄積用コンデンサC1を充電する。

【0043】次に、スイッチSW5とSW6をオンし、

SW1～SW4, SW7, SW8をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC1に直列に接続し、且つ、電荷蓄積用コンデンサC2を電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC1の直列回路に並列に接続し、電荷蓄積用コンデンサC2を充電する。

【0044】次に、スイッチSW3とSW4をオンし、SW1, SW2, SW5～SW8をオフして、電荷運搬用コンデンサCC1を電荷蓄積用コンデンサC2に直列に接続し、且つ、電荷蓄積用コンデンサC3を電荷運搬用コンデンサCC1と電荷蓄積用コンデンサC2の直列回路に並列に接続し、電荷蓄積用コンデンサC3を充電する。

【0045】このような、スイッチSW1～SW8のオン・オフの切り替え動作を高速に繰り返すことにより、電荷蓄積用コンデンサC1, C2, C3は次第に充電され、安定した電位に保たれる。そして、電荷蓄積用コンデンサC1, C2, C3に充電された電圧として分圧電圧Vd1～Vd4が出力回路24に出力される。

【0046】出力回路24のトランジスタ制御回路245は、前述したように、トランジスタTr1～Tr8をオン・オフする動作を100KHz程度の高周波数で繰り返す。これにより、一対のP型駆動のオペアンプ241P～244Pの出力電圧とN型駆動のオペアンプ241N～244Nの出力電圧とが平均化され、所望の駆動電圧V11～V14が端子T1～T4から出力される。

【0047】このような構成によれば、電源装置は、複数の電荷蓄積用コンデンサC1～C3に電荷運搬用コンデンサCC1に充電された電圧を分配することにより、増幅電圧Vd4を分圧して複数の分圧電圧Vd1～Vd4を生成する。このため、図2の構成の電源装置2と比較して、図2の分圧抵抗R1～R4を貫通して流れる電流をなくすことができ、消費電流を低減することができる。

【0048】また、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この発明の電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で出力することができる。

【0049】上記説明では、電源装置2は、供給された電圧を分圧して複数の電圧を生成して出力回路24に出力したが、分圧回路23を用いず、昇圧回路により複数の電圧を生成し、出力回路に直接出力することも可能である。

【0050】この場合、電源装置は、例えば、図4に示すように、供給された電源電圧VDDを昇圧した複数の電圧を発生する昇圧回路71と、昇圧回路71から供給さ

れた昇圧電圧を約1倍に増幅して駆動電圧として出力する出力回路72から構成される。図示するように、出力回路72は、図2に示す出力回路24に加えて、P型駆動のオペアンプ240Pと、N型駆動のオペアンプ240Nと、トランジスタTr9, Tr10と、インバータ250とを備える。

【0051】昇圧回路71は、出力回路72に昇圧電圧を出力するために電荷を蓄える昇圧用コンデンサC11～C14、昇圧用コンデンサC11～C14に電荷を供給する電荷搬送コンデンサCC2、昇圧用コンデンサC11～C14と電荷搬送コンデンサCC2の接続関係を切り替えるスイッチSW11～SW18及びスイッチSW11～SW18のオン・オフを制御する昇圧用スイッチ制御回路711から構成され、電源電圧VDDを昇圧した電圧V21～V24 ($V24 > V23 > V22 >$) と電圧VddとV21 ($V22 > VDD > V21$) を出力する。

【0052】昇圧用スイッチ制御回路711は、まず、スイッチSW11とSW12をオンし、電源電圧VDDと基準電圧V21 ($=0V$) を電荷搬送コンデンサCC2に印加し、電荷搬送コンデンサCC2がほぼVDD-V21に充電される。

【0053】昇圧用スイッチ制御回路711は、次に、スイッチSW11とSW12をオフし、スイッチSW13とSW14をオンし、電荷搬送コンデンサCC2と昇圧用コンデンサC11の直列回路に昇圧用コンデンサC12を並列に接続する。昇圧用コンデンサC11の両端の電圧はVDD-V21であり、昇圧用コンデンサC12は、ほぼ $2 \cdot (VDD - V21)$ で充電される。

【0054】次に、昇圧用スイッチ制御回路711は、スイッチSW13とSW14をオフし、スイッチSW15とSW16をオンし、電荷搬送コンデンサCC2と昇圧用コンデンサC12の直列回路に昇圧用コンデンサC13を並列に接続す。従って、昇圧用コンデンサC13は、ほぼ $3 \cdot (VDD - V21)$ で充電される。

【0055】次に、昇圧用スイッチ制御回路711は、スイッチSW15とSW16をオフし、スイッチSW17とSW18をオンする。これにより、電荷搬送コンデンサCC2と昇圧用コンデンサC13の直列回路に昇圧用コンデンサC14が並列に接続される。従って、昇圧用コンデンサC14は、ほぼ $4 \cdot (VDD - V21)$ で充電される。

【0056】このような動作を繰り返すことにより、昇圧用コンデンサC11～C14は、次第に充電され、安定した電位に保たれる。そして、昇圧用コンデンサC11～C14に充電された電圧として、昇圧電圧(Vd, Vp1～Vp4)が出力回路72に出力される。

【0057】出力回路72のトランジスタ制御回路245は、トランジスタTr1～Tr10をオン・オフする動作を100KHz程度の高周波数で繰り返す。これに

より、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とが平均化され、所望の駆動電圧 $V_{21} \sim V_{24}$ 、 V_{dd} が出力される。

【0058】このような構成によれば、電源装置は、供給された電源電圧 V_{DD} を複数の電圧に昇圧し、分圧回路を介さずに、昇圧電圧($V_{p1} \sim V_{p4}$ 、 V_{pd})を出力回路72に直接出力する。このため、図2の構成の電源装置2と比較して、分圧回路を省略することができるため、回路の構成を簡素化することができる。さらに、この電源装置は、図2の電源装置2の抵抗 $R_1 \sim R_4$ に常時流れる貫通電流がないため、図2の電源装置と比較して消費電力を低下させることができる。

【0059】また、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した電圧を駆動電圧として出力する。このため、この発明の電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で出力することができる。

【0060】また、この発明の電源装置は、液晶表示素子の電源装置に限定されず、PDP（プラズマディスプレイ）、EL（エレクトロルミネッセンス）パネル、FED（フィールドエミッションディスプレイ）等を駆動するための駆動電圧を出力する電源装置として広く適用可能である。

【0061】

【発明の効果】以上説明したように、本発明の電源装置によれば、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを高速に切り替えて出力することにより、一対のP型駆動のオペアンプの出力電圧とN型駆動のオペアンプの出力電圧とを平均化した

電圧を駆動電圧として出力する。このため、この電源装置は、従来の電源装置と比較して表示素子を駆動するための駆動電圧を正確な値で、且つ、低消費電力で出力することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態にかかる液晶表示装置の構成を説明するためのブロック図である。

【図2】図1の電源装置の構成を示すブロック図である。

10 【図3】図2の電源装置の変形例を示すブロック図である。

【図4】図2の電源装置の変形例を示すブロック図である。

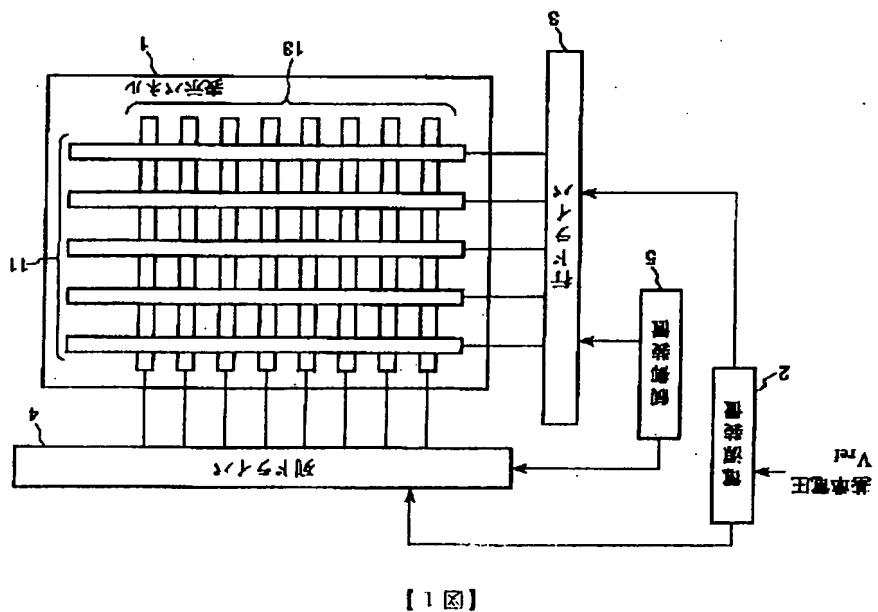
【図5】従来の電源装置の構成を示す図である。

【図6】(a)はP型駆動のオペアンプの回路図であり、(b)はN型駆動のオペアンプの回路図である。

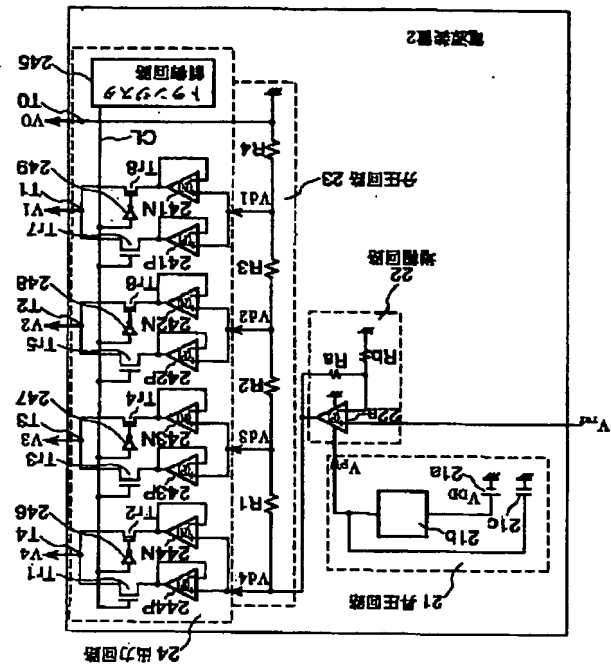
【図7】従来の電源装置の構成を示す図である。

【符号の説明】

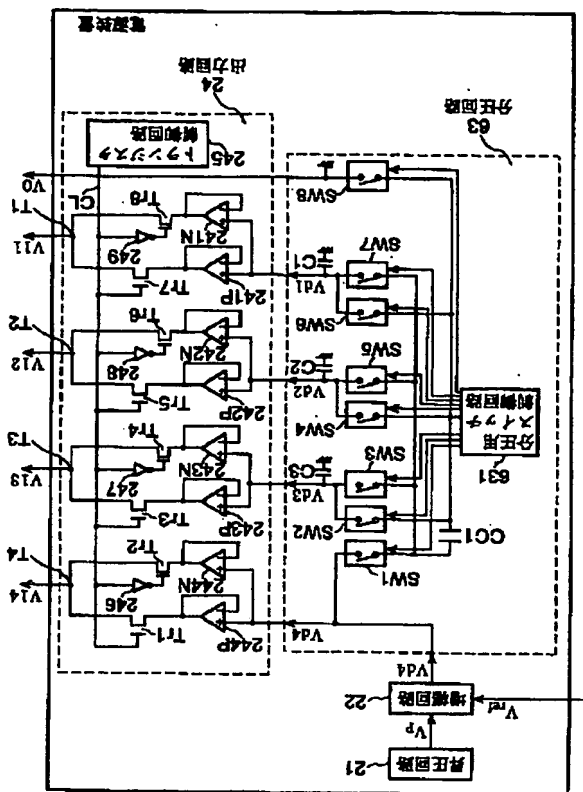
1…表示パネル、2…電源装置、3…行ドライバ、
20 4…列ドライバ、5…制御装置、21…昇圧回路、
22…増幅回路、23…分圧回路、24出力回路、6
3…分圧回路、71…昇圧回路、72…出力回路、
81～84…微少抵抗、85～88…分圧抵抗、21
a…電源、21b…昇圧部、21c…平滑用コンデンサ、
22a…オペアンプ、240P～244P…P型駆動のオペアンプ、
240N～244N…N型駆動のオペアンプ、245…トランジスタ制御回路、24
6～250…インバータ、711…昇圧用スイッチ制御回路、
SW1～SW18…スイッチ、T0～T4…端子、CC1…電荷運搬用コンデンサ、CC2…電荷搬送コンデンサ、C1～C14…電荷蓄積用コンデンサ



【図1】



【図2】



【図3】

